

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-334685

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

G11C 19/00
G06F 5/06

(21)Application number : 09-140365

(71)Applicant : NEC CORP

(22)Date of filing : 29.05.1997

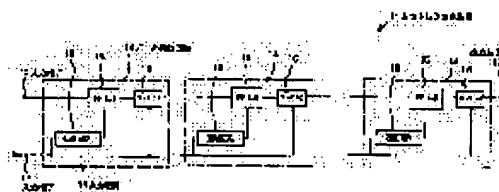
(72)Inventor : KANBA KOJI

(54) SHIFT REGISTER DEVICE AND DRIVING THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To surely prevent racing of a shift register device having added a latch circuit to each flip-flop circuit connected in series.

SOLUTION: The input timing of the clock signal to a flip-flop circuit 15 is delayed from that of a latch circuit 16 with a delay circuit 19, and the operation timing of the latch circuit 16 is not delayed from the operation timing of the flip-flop circuit 15 even when skew is generated in the clock signal. Since the bit data outputted from the flip-flop circuit 15 is surely held in the latch circuit 16, the racing wherein the bit data input of the flip-flop circuit 15 of the preceding stage is inputted up to the flip-flop circuit 15 of the subsequent stage can surely be prevented.



LEGAL STATUS

[Date of request for examination] 29.05.1997

[Date of sending the examiner's decision of rejection] 26.01.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3202655

[Date of registration] 22.06.2001

[Number of appeal against examiner's decision of rejection] 11-03230

[Date of requesting appeal against examiner's decision of rejection] 25.02.1999

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the shift register equipment by which two or more data-hold circuits which consist of a flip-flop circuit connected to the serial and a latch circuit are connected to the serial.

[0002]

[Description of the Prior Art] Conventionally, generally the shift register equipment by which two or more flip-flop circuits are connected to the serial is used. In such shift register equipment, it can shift in the flip-flop circuit of odd level and even level operating in reverse logic corresponding to a clock signal, holding serial input data.

[0003] However, with the above shift register equipments of structure, racing may occur for the skew of a clock signal etc. In order to solve this, the shift register equipment which prepared the latch circuit in each output terminal of two or more flip-flop circuits is indicated by JP,6-5090,A. The shift register equipment indicated by this official report is explained below with reference to drawing 4 and drawing 5 as a 1 conventional example.

[0004] First, with this shift register equipment 1, as shown in drawing 4, the input terminal 2 and output terminal 3 of bit data which continue serially are provided, and two or more data-hold circuits 4 are arranged at the serial on the wiring which is open for free passage for these terminals 2 and 3. These data-hold circuits 4 possess the flip-flop circuit 5 and the latch circuit 6, and these circuits 5 and 6 are connected to the serial.

[0005] Moreover, the input terminal 7 of a clock signal is also formed and the input wiring 8 connected to this input terminal 7 is connected to each control terminal of said circuits 5 and 6. Although the circuits 5 and 6 of two or more of said data-hold circuits 4 operate corresponding to a clock signal, this actuation is set up so that it may become reverse logic by two or more odd level and even level of said data-hold circuit 4.

[0006] With the above shift register equipments 1 of structure, as shown in drawing 5, a latch circuit 6 holds the bit data which the flip-flop circuit 5 of the data-hold circuit 4 outputs corresponding to a clock signal, and the flip-flop circuit 5 of the latter data-hold circuit 4 inputs these held bit data.

[0007] Since the bit data in which a flip-flop circuit 5 carries out a sequential shift as mentioned above are held by the latch circuit 6 temporarily, even if the input operation of the latter flip-flop circuit 5 is delayed from output actuation of

the flip-flop circuit 5 of the preceding paragraph for the skew of a clock signal etc., the flip-flop circuit 5 of this latter part can input the bit data currently held by the latch circuit 6 of the preceding paragraph, and can prevent the racing which inputs the bit data which the flip-flop circuit 5 of the preceding paragraph inputs to the latter flip-flop circuit 5.

[0008]

[Problem(s) to be Solved by the Invention] He is trying to prevent racing when the input operation of the latter flip-flop circuit 5 is delayed by holding the bit data in which a flip-flop circuit 5 carries out a sequential shift by the latch circuit 6 temporarily from output actuation of the flip-flop circuit 5 of the preceding paragraph with the shift register equipment 1 mentioned above.

[0009] However, with the shift register equipment 1 mentioned above, the skew of the flip-flop circuit 5 of the data-hold circuit 4, a latch circuit 6, and the clock signal of a between etc. is not taken into consideration, and cannot prevent racing certainly. That is, if the clock signal inputted into a latch circuit 6 from the clock signal inputted into a flip-flop circuit 5 inside data-hold equipment 4 is delayed as shown in drawing 6, the bit data which a flip-flop circuit 5 outputs will be outputted to latter data-hold equipment 4, without being held by the latch circuit 6.

[0010] If the input operation of the latter flip-flop circuit 5 is further delayed from output actuation of the flip-flop circuit 5 of the preceding paragraph at this time, the bit data outputted to the latter flip-flop circuit 5, without being held by the latch circuit 6 of the preceding paragraph will be outputted to the data-hold equipment 4 of the next step, without being held even in this flip-flop circuit 5.

[0011] This invention is made in view of the above technical problems, and it aims at offering the shift register equipment which racing does not generate, and its drive method.

[0012]

[Means for Solving the Problem] Shift register equipment of 1 of this invention possesses a data-hold circuit where a flip-flop circuit and a latch circuit were connected to a serial. In shift register equipment whose actuation with said flip-flop circuit corresponding to [two or more data-hold circuits are connected to a serial, and] a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level A time-delay-energizing means to delay timing of said flip-flop circuit in said data-hold circuit of operation from timing of said latch circuit of operation is provided.

[0013] Therefore, since a time-delay-energizing means delays timing of a flip-flop circuit in a data-hold circuit of operation from timing of a latch circuit of operation, after a latch circuit is in the condition that bit data can be held, a flip-flop circuit outputs bit data. For this reason, even if bit data which a flip-flop circuit outputs are certainly held by latch circuit and input timing of a flip-flop circuit of a latter data-hold circuit is delayed from output timing of a flip-flop circuit of a data-hold circuit of the preceding paragraph, bit data held by latch circuit of the preceding paragraph are inputted into a latter flip-flop circuit.

[0014] Shift register equipment of 1 of this invention possesses a data-hold circuit where a flip-flop circuit and a latch circuit were connected to a serial. In shift register equipment whose actuation with said flip-flop circuit corresponding to [two or more data-hold circuits are connected to a serial, and] a clock signal and said

latch circuit is reverse logic in said data-hold circuit of odd level and even level A signal delay means to delay a clock signal which operates said flip-flop circuit of said data-hold circuit from a clock signal which operates said latch circuit is provided.

[0015] Therefore, since a signal delay means delays timing of a flip-flop circuit in a data-hold circuit of operation from timing of a latch circuit of operation, after a latch circuit is in the condition that bit data can be held, a flip-flop circuit outputs bit data. For this reason, even if bit data which a flip-flop circuit outputs are certainly held by latch circuit and input timing of a flip-flop circuit of a latter data-hold circuit is delayed from output timing of a flip-flop circuit of a data-hold circuit of the preceding paragraph, bit data held by latch circuit of the preceding paragraph are inputted into a latter flip-flop circuit.

[0016] Other shift register equipments of this invention possess a data-hold circuit where a flip-flop circuit and a latch circuit were connected to a serial. Two or more data-hold circuits are connected to a serial, and input wiring of a clock signal is connected to said flip-flop circuit and said latch circuit. In shift register equipment whose actuation with said flip-flop circuit corresponding to a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level A delay circuit which delays a clock signal is established in a location which is open for free passage to said flip-flop circuit of said input wiring.

[0017] Therefore, since a delay circuit delays timing of a flip-flop circuit in a data-hold circuit of operation from timing of a latch circuit of operation, after a latch circuit is in the condition that bit data can be held, a flip-flop circuit outputs bit data. For this reason, even if bit data which a flip-flop circuit outputs are certainly held by latch circuit and input timing of a flip-flop circuit of a latter data-hold circuit is delayed from output timing of a flip-flop circuit of a data-hold circuit of the preceding paragraph, bit data held by latch circuit of the preceding paragraph are inputted into a latter flip-flop circuit.

[0018] Other shift register equipments of this invention possess a data-hold circuit where a flip-flop circuit and a latch circuit were connected to a serial. Two or more data-hold circuits are connected to a serial, and input wiring of a clock signal is connected to said flip-flop circuit and said latch circuit. In shift register equipment whose actuation with said flip-flop circuit corresponding to a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level Said input wiring is formed in a configuration where a portion which is open for free passage to said flip-flop circuit is longer than a portion which is open for free passage to said latch circuit.

[0019] Therefore, since timing of a flip-flop circuit in a data-hold circuit of operation is delayed for timing of a latch circuit of operation for a configuration of input wiring, after a latch circuit is in the condition that bit data can be held, a flip-flop circuit outputs bit data. For this reason, even if bit data which a flip-flop circuit outputs are certainly held by latch circuit and input timing of a flip-flop circuit of a latter data-hold circuit is delayed from output timing of a flip-flop circuit of a data-hold circuit of the preceding paragraph, bit data held by latch circuit of the preceding paragraph are inputted into a latter flip-flop circuit.

[0020] A drive method of shift register equipment of 1 of this invention A data-hold circuit where a flip-flop circuit and a latch circuit were connected to a serial is provided. In shift register equipment whose actuation with said flip-flop circuit

corresponding to [two or more data-hold circuits are connected to a serial, and] a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level It was made to delay timing of said flip-flop circuit of said data-hold circuit of operation from timing of said latch circuit of operation.

[0021] Therefore, since timing of a flip-flop circuit in a data-hold circuit of operation is delayed for timing of a latch circuit of operation, after a latch circuit is in the condition that bit data can be held, a flip-flop circuit outputs bit data. For this reason, even if bit data which a flip-flop circuit outputs are certainly held by latch circuit and input timing of a flip-flop circuit of a latter data-hold circuit is delayed from output timing of a flip-flop circuit of a data-hold circuit of the preceding paragraph, bit data held by latch circuit of the preceding paragraph are inputted into a latter flip-flop circuit.

[0022] A drive method of other shift register equipments of this invention A data-hold circuit where a flip-flop circuit and a latch circuit were connected to a serial is provided. In shift register equipment whose actuation with said flip-flop circuit corresponding to [two or more data-hold circuits are connected to a serial, and] a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level It was made to delay a clock signal which operates a flip-flop circuit of said data-hold circuit from a clock signal which operates said latch circuit.

[0023] Therefore, since timing of a flip-flop circuit in a data-hold circuit of operation is delayed for timing of a latch circuit of operation, after a latch circuit is in the condition that bit data can be held, a flip-flop circuit outputs bit data. For this reason, even if bit data which a flip-flop circuit outputs are certainly held by latch circuit and input timing of a flip-flop circuit of a latter data-hold circuit is delayed from output timing of a flip-flop circuit of a data-hold circuit of the preceding paragraph, bit data held by latch circuit of the preceding paragraph are inputted into a latter flip-flop circuit.

[0024]

[Embodiment of the Invention] One gestalt of operation of this invention is explained below with reference to drawing 1 and drawing 2 . In addition, detailed explanation is omitted using a name with the same, same portion as the 1 conventional example mentioned above about the gestalt of this operation. The block diagram in which drawing 1 shows the shift register equipment of the gestalt of this operation, and drawing 2 are timing diagrams which show the relation of the timing of each part of operation.

[0025] Like the shift register equipment 1 which also mentioned above the shift register equipment 11 of the gestalt of this operation as a 1 conventional example, as shown in drawing 1 , two or more data-hold circuits 14 are arranged at the serial on the wiring which opens an input terminal 12 and an output terminal 13 for free passage, and these data-hold circuits 14 consist of the flip-flop circuit 15 and latch circuit 16 which were connected to the serial.

[0026] Moreover, the input terminal 17 of a clock signal is also formed and the input terminal 18 connected to this input terminal 17 is connected to each control terminal of said circuits 15 and 16. However, it is different in the shift register equipment 1 mentioned above, and the delay circuit 19 which is a time-delay-energizing means and is a signal delay means is established in the location which is open for free passage to said flip-flop circuit 15 of said input wiring 18.

[0027] In the above configurations, also with the shift register equipment 11 of the

gestalt of this operation, a latch circuit 16 holds the bit data which the flip-flop circuit 15 of the data-hold circuit 14 outputs corresponding to a clock signal, and the flip-flop circuit 15 of the latter data-hold circuit 14 inputs these held bit data.

[0028] However, as shown in drawing 2, the clock signal which operates the flip-flop circuit 15 of the data-hold circuit 14 is delayed by the drive method of the shift register equipment 11 of the gestalt this operation from the clock signal which operates a latch circuit 16 by the delay circuit 19.

[0029] For this reason, in the data-hold circuit 14, since a flip-flop circuit 15 outputs bit data after a latch circuit 16 is in the condition that bit data can be held, the bit data which a flip-flop circuit 15 outputs are certainly held by the latch circuit 16. Therefore, even if the input timing of the flip-flop circuit 15 of the latter data-hold circuit 14 is delayed from the output timing of the flip-flop circuit 15 of the data-hold circuit 14 of the preceding paragraph, the bit data held by the latch circuit 16 of the preceding paragraph can be inputted into the latter flip-flop circuit 15.

[0030] That is, since the input operation of a latch circuit 16 is not delayed by the shift register equipment 11 of the gestalt of this operation from output actuation of a flip-flop circuit 15 inside data-hold equipment 4 even if a skew occurs in a clock signal, the racing which inputs the bit data which the flip-flop circuit 15 of the preceding paragraph inputs to the latter flip-flop circuit 15 can be prevented certainly.

[0031] In addition, this invention is not limited to the above-mentioned gestalt, and permits various kinds of deformation in the range which does not deviate from the summary. For example, although it illustrated establishing a delay circuit 19 in the portion which is open for free passage to the flip-flop circuit 15 of the input wiring 18 as a time-delay-energizing means and a signal delay means with the above-mentioned gestalt, as shown in drawing 3, it is possible to form input wiring 22 of the clock signal of shift register equipment 21 in the configuration where of the portion which is open for free passage to a flip-flop circuit 15 is longer than the portion which is open for free passage to a latch circuit 16, and to also operate this input wiring 22 as a time-delay-energizing means and a signal delay means.

[0032] In addition, the shift register equipment 11 of actuation which used the delay circuit 19 is trustworthier, and since structure is simpler for the shift register equipment 22 which devised the input wiring 22, it is desirable [these shift register equipments 11 and 22] for there to be merits and demerits mutually and to choose in consideration of various conditions, such as a military requirement and a production facility, in fact.

[0033]

[Effect of the Invention] Since this invention is constituted as explained above, an effect which is indicated below is done so.

[0034] The shift register equipment of invention according to claim 1 The data-hold circuit where the flip-flop circuit and the latch circuit were connected to the serial is provided. In the shift register equipment whose actuation with said flip-flop circuit corresponding to [two or more data-hold circuits are connected to the serial, and] a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level By providing a time-delay-energizing means to delay the timing of said flip-flop circuit in said data-hold circuit of operation from the timing of said latch circuit of operation Since the timing of the latch

circuit in data-hold equipment of operation is not delayed from the timing of a flip-flop circuit of operation even if a skew occurs in a clock signal A latch circuit can hold certainly the bit data which a flip-flop circuit outputs, and the bit data which the flip-flop circuit of the preceding paragraph inputs can prevent certainly the racing inputted to a latter flip-flop circuit.

[0035] The shift register equipment of invention according to claim 2 The data-hold circuit where the flip-flop circuit and the latch circuit were connected to the serial is provided. In the shift register equipment whose actuation with said flip-flop circuit corresponding to [two or more data-hold circuits are connected to the serial, and] a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level By providing a signal delay means to delay the clock signal which operates said flip-flop circuit of said data-hold circuit from the clock signal which operates said latch circuit Since the timing of the latch circuit in data-hold equipment of operation is not delayed from the timing of a flip-flop circuit of operation even if a skew occurs in a clock signal A latch circuit can hold certainly the bit data which a flip-flop circuit outputs, and the bit data which the flip-flop circuit of the preceding paragraph inputs can prevent certainly the racing inputted to a latter flip-flop circuit.

[0036] The shift register equipment of invention according to claim 3 The data-hold circuit where the flip-flop circuit and the latch circuit were connected to the serial is provided. Two or more data-hold circuits are connected to the serial, and input wiring of a clock signal is connected to said flip-flop circuit and said latch circuit. In the shift register equipment whose actuation with said flip-flop circuit corresponding to a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level By establishing the delay circuit which delays a clock signal in the location which is open for free passage to said flip-flop circuit of said input wiring Since the timing of the latch circuit in data-hold equipment of operation is not delayed from the timing of a flip-flop circuit of operation even if a skew occurs in a clock signal A latch circuit can hold certainly the bit data which a flip-flop circuit outputs, and the bit data which the flip-flop circuit of the preceding paragraph inputs can prevent certainly the racing inputted to a latter flip-flop circuit.

[0037] The shift register equipment of invention according to claim 4 The data-hold circuit where the flip-flop circuit and the latch circuit were connected to the serial is provided. Two or more data-hold circuits are connected to the serial, and input wiring of a clock signal is connected to said flip-flop circuit and said latch circuit. In the shift register equipment whose actuation with said flip-flop circuit corresponding to a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level Said input wiring by being formed in the configuration where the portion which is open for free passage to said flip-flop circuit is longer than the portion which is open for free passage to said latch circuit Since the timing of the latch circuit in data-hold equipment of operation is not delayed from the timing of a flip-flop circuit of operation even if a skew occurs in a clock signal A latch circuit can hold certainly the bit data which a flip-flop circuit outputs, and the bit data which the flip-flop circuit of the preceding paragraph inputs can prevent certainly the racing inputted to a latter flip-flop circuit.

[0038] The drive method of the shift register equipment invention according to claim 5 The data-hold circuit where the flip-flop circuit and the latch circuit were

connected to the serial is provided. In the shift register equipment whose actuation with said flip-flop circuit corresponding to [two or more data-hold circuits are connected to the serial, and] a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level By having made it delay the timing of said flip-flop circuit of said data-hold circuit of operation from the timing of said latch circuit of operation Since the timing of the latch circuit in data-hold equipment of operation is not delayed from the timing of a flip-flop circuit of operation even if a skew occurs in a clock signal A latch circuit can hold certainly the bit data which a flip-flop circuit outputs, and the bit data which the flip-flop circuit of the preceding paragraph inputs can prevent certainly the racing inputted to a latter flip-flop circuit.

[0039] The drive method of the shift register equipment invention according to claim 6 The data-hold circuit where the flip-flop circuit and the latch circuit were connected to the serial is provided. In the shift register equipment whose actuation with said flip-flop circuit corresponding to [two or more data-hold circuits are connected to the serial, and] a clock signal and said latch circuit is reverse logic in said data-hold circuit of odd level and even level By having made it delay the clock signal which operates said flip-flop circuit of said data-hold circuit from the clock signal which operates said latch circuit Since the timing of the latch circuit in data-hold equipment of operation is not delayed from the timing of a flip-flop circuit of operation even if a skew occurs in a clock signal A latch circuit can hold certainly the bit data which a flip-flop circuit outputs, and the bit data which the flip-flop circuit of the preceding paragraph inputs can prevent certainly the racing inputted to a latter flip-flop circuit.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-334685

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 19/00

G 1 1 C 19/00

K

G

G 0 6 F 5/06

3 5 3

G 0 6 F 5/06

3 5 3

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号

特願平9-140365

(22) 出願日

平成9年(1997)5月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 神庭 康二

東京都港区芝五丁目7番1号 日本電気株

式会社内

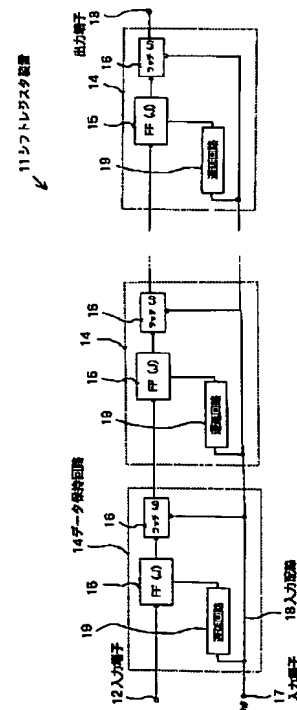
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 シフトレジスタ装置、その駆動方法

(57) 【要約】

【課題】 直列に連続する F F 回路の各々にラッチ回路を付加したシフトレジスタ装置のレーシングを確実に防止する。

【解決手段】 クロック信号がフリップフロップ回路 15 に入力されるタイミングを遅延回路 19 によりラッチ回路 16 に入力されるタイミングより遅延させ、クロック信号にスキューが発生してもラッチ回路 16 の動作タイミングがフリップフロップ回路 15 の動作タイミングより遅滞しないようにした。フリップフロップ回路 15 が出力するビットデータをラッチ回路 16 が確実に保持することができるので、前段のフリップフロップ回路 15 が入力するビットデータが後段のフリップフロップ回路 15 まで入力されるレーシングを確実に防止することができる。



1

【特許請求の範囲】

【請求項1】 フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路での前記フリップフロップ回路の動作タイミングを前記ラッチ回路の動作タイミングより遅延させる動作遅延手段を具備していることを特徴とするシフトレジスタ装置。

【請求項2】 フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路の前記フリップフロップ回路を動作させるクロック信号を前記ラッチ回路を動作させるクロック信号より遅延させる信号遅延手段を具備していることを特徴とするシフトレジスタ装置。

【請求項3】 フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号の入力配線が前記フリップフロップ回路と前記ラッチ回路とに接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記入力配線の前記フリップフロップ回路に連通する位置にクロック信号を遅延させる遅延回路が設けられていることを特徴とするシフトレジスタ装置。

【請求項4】 フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号の入力配線が前記フリップフロップ回路と前記ラッチ回路とに接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記入力配線は、前記フリップフロップ回路まで連通する部分が前記ラッチ回路まで連通する部分より長い形状に形成されていることを特徴とするシフトレジスタ装置。

【請求項5】 フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、

2

前記データ保持回路の前記フリップフロップ回路の動作タイミングを前記ラッチ回路の動作タイミングより遅延させるようにしたことを特徴とするシフトレジスタ装置の駆動方法。

【請求項6】 フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、

前記データ保持回路の前記フリップフロップ回路を動作させるクロック信号を前記ラッチ回路を動作させるクロック信号より遅延させるようにしたことを特徴とするシフトレジスタ装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直列に接続されたフリップフロップ回路とラッチ回路からなる複数のデータ保持回路が直列に接続されているシフトレジスタ装置に関する。

【0002】

【従来の技術】従来、複数のフリップフロップ回路が直列に接続されているシフトレジスタ装置が一般に利用されている。このようなシフトレジスタ装置では、クロック信号に対応して奇数段と偶数段とのフリップフロップ回路が逆論理に動作することで、シリアルな入力データを保持しながらシフトすることができる。

【0003】しかし、上述のような構造のシフトレジスタ装置では、クロック信号のスキューなどのためにレーシングが発生することがある。これを解決するため、複数のフリップフロップ回路の各々の出力端子にラッチ回路を設けたシフトレジスタ装置が、特開平6-5090号公報に開示されている。この公報に記載されたシフトレジスタ装置を、一従来例として図4および図5を参照して以下に説明する。

【0004】まず、このシフトレジスタ装置1では、図4に示すように、シリアルに連続するビットデータの入力端子2と出力端子3とを具備しており、これらの端子2、3に連通する配線上に複数のデータ保持回路4が直列に配置されている。これらのデータ保持回路4は、フリップフロップ回路5とラッチ回路6とを具備しており、これらの回路5、6が直列に接続されている。

【0005】また、クロック信号の入力端子7も設けられており、この入力端子7に接続された入力配線8が前記回路5、6の各々の制御端子に接続されている。複数の前記データ保持回路4の回路5、6はクロック信号に対応して動作するが、この動作は複数の前記データ保持回路4の奇数段と偶数段とで逆論理となるよう設定されている。

【0006】上述のような構造のシフトレジスタ装置1

3

では、図5に示すように、クロック信号に対応してデータ保持回路4のフリップフロップ回路5が出力するビットデータをラッチ回路6が保持し、この保持されたビットデータを後段のデータ保持回路4のフリップフロップ回路5が入力する。

【0007】上述のようにフリップフロップ回路5が順次シフトするビットデータをラッチ回路6で一時保持するので、もしも、クロック信号のスキューなどのために前段のフリップフロップ回路5の出力動作より後段のフリップフロップ回路5の入力動作が遅滞しても、この後段のフリップフロップ回路5は前段のラッチ回路6で保持されているビットデータを入力することができ、前段のフリップフロップ回路5が入力するビットデータを後段のフリップフロップ回路5まで入力してしまうレーシングを防止することができる。

【0008】

【発明が解決しようとする課題】上述したシフトレジスタ装置1では、フリップフロップ回路5が順次シフトするビットデータをラッチ回路6で一時保持することで、前段のフリップフロップ回路5の出力動作より後段のフリップフロップ回路5の入力動作が遅滞した場合のレーシングを防止するようにしている。

【0009】しかし、上述したシフトレジスタ装置1では、データ保持回路4のフリップフロップ回路5とラッチ回路6と間のクロック信号のスキューなどは考慮されておらず、レーシングを確実に防止することはできない。つまり、図6に示すように、データ保持装置4の内部でフリップフロップ回路5に入力されるクロック信号よりラッチ回路6に入力されるクロック信号が遅滞すると、フリップフロップ回路5が出力するビットデータはラッチ回路6で保持されることなく後段のデータ保持装置4に出力される。

【0010】このとき、さらに前段のフリップフロップ回路5の出力動作より後段のフリップフロップ回路5の入力動作が遅滞していると、前段のラッチ回路6で保持されることなく後段のフリップフロップ回路5に出力されたビットデータは、このフリップフロップ回路5でも保持されることなく次段のデータ保持装置4に出力されることになる。

【0011】本発明は上述のような課題に鑑みてなされたものであり、レーシングが発生しないシフトレジスタ装置、その駆動方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の一のシフトレジスタ装置は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路

4

での前記フリップフロップ回路の動作タイミングを前記ラッチ回路の動作タイミングより遅延させる動作遅延手段を具備している。

【0013】従って、動作遅延手段がデータ保持回路でのフリップフロップ回路の動作タイミングをラッチ回路の動作タイミングより遅延させるので、ラッチ回路がビットデータを保持できる状態となってからフリップフロップ回路がビットデータを出力する。このため、フリップフロップ回路が出力するビットデータはラッチ回路で確実に保持され、前段のデータ保持回路のフリップフロップ回路の出力タイミングより後段のデータ保持回路のフリップフロップ回路の入力タイミングが遅滞しても、後段のフリップフロップ回路には前段のラッチ回路で保持されたビットデータが入力される。

【0014】本発明の一のシフトレジスタ装置は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路の前記フリップフロップ回路を動作させるクロック信号を前記ラッチ回路を動作させるクロック信号より遅延させる信号遅延手段を具備している。

【0015】従って、信号遅延手段がデータ保持回路でのフリップフロップ回路の動作タイミングをラッチ回路の動作タイミングより遅延させるので、ラッチ回路がビットデータを保持できる状態となってからフリップフロップ回路がビットデータを出力する。このため、フリップフロップ回路が出力するビットデータはラッチ回路で確実に保持され、前段のデータ保持回路のフリップフロップ回路の出力タイミングより後段のデータ保持回路のフリップフロップ回路の入力タイミングが遅滞しても、後段のフリップフロップ回路には前段のラッチ回路で保持されたビットデータが入力される。

【0016】本発明の他のシフトレジスタ装置は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号の入力配線が前記フリップフロップ回路と前記ラッチ回路とに接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記入力配線の前記フリップフロップ回路に連通する位置にクロック信号を遅延させる遅延回路が設けられている。

【0017】従って、遅延回路がデータ保持回路でのフリップフロップ回路の動作タイミングをラッチ回路の動作タイミングより遅延させるので、ラッチ回路がビットデータを保持できる状態となってからフリップフロップ

10

20

30

40

50

回路がビットデータを出力する。このため、フリップフロップ回路が出力するビットデータはラッチ回路で確実に保持され、前段のデータ保持回路のフリップフロップ回路の出力タイミングより後段のデータ保持回路のフリップフロップ回路の入力タイミングが遅滞しても、後段のフリップフロップ回路には前段のラッチ回路で保持されたビットデータが入力される。

【0018】本発明の他のシフトレジスタ装置は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号の入力配線が前記フリップフロップ回路と前記ラッチ回路とに接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記入力配線は、前記フリップフロップ回路まで連通する部分が前記ラッチ回路まで連通する部分より長い形状に形成されている。

【0019】従って、入力配線の形状のためにデータ保持回路でのフリップフロップ回路の動作タイミングがラッチ回路の動作タイミングより遅延するので、ラッチ回路がビットデータを保持できる状態となってからフリップフロップ回路がビットデータを出力する。このため、フリップフロップ回路が出力するビットデータはラッチ回路で確実に保持され、前段のデータ保持回路のフリップフロップ回路の出力タイミングより後段のデータ保持回路のフリップフロップ回路の入力タイミングが遅滞しても、後段のフリップフロップ回路には前段のラッチ回路で保持されたビットデータが入力される。

【0020】本発明の一のシフトレジスタ装置の駆動方法は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路の前記フリップフロップ回路の動作タイミングを前記ラッチ回路の動作タイミングより遅延させるようにした。

【0021】従って、データ保持回路でのフリップフロップ回路の動作タイミングがラッチ回路の動作タイミングより遅延するので、ラッチ回路がビットデータを保持できる状態となってからフリップフロップ回路がビットデータを出力する。このため、フリップフロップ回路が出力するビットデータはラッチ回路で確実に保持され、前段のデータ保持回路のフリップフロップ回路の出力タイミングより後段のデータ保持回路のフリップフロップ回路の入力タイミングが遅滞しても、後段のフリップフロップ回路には前段のラッチ回路で保持されたビットデータが入力される。

【0022】本発明の他のシフトレジスタ装置の駆動方

法は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路のフリップフロップ回路を動作させるクロック信号を前記ラッチ回路を動作させるクロック信号より遅延させるようにした。

10 【0023】従って、データ保持回路でのフリップフロップ回路の動作タイミングがラッチ回路の動作タイミングより遅延するので、ラッチ回路がビットデータを保持できる状態となってからフリップフロップ回路がビットデータを出力する。このため、フリップフロップ回路が出力するビットデータはラッチ回路で確実に保持され、前段のデータ保持回路のフリップフロップ回路の出力タイミングより後段のデータ保持回路のフリップフロップ回路の入力タイミングが遅滞しても、後段のフリップフロップ回路には前段のラッチ回路で保持されたビットデータが入力される。

20 【0024】

【発明の実施の形態】本発明の実施の一形態を図1および図2を参照して以下に説明する。なお、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称を使用して詳細な説明は省略する。図1は本実施の形態のシフトレジスタ装置を示すブロック図、図2は各部の動作タイミングの関係を示すタイムチャートである。

【0025】本実施の形態のシフトレジスタ装置11も、一従来例として前述したシフトレジスタ装置1と同様に、図1に示すように、入力端子12と出力端子13とを連通する配線上に複数のデータ保持回路14が直列に配置されており、これらのデータ保持回路14は、直列に接続されたフリップフロップ回路15とラッチ回路16からなる。

【0026】また、クロック信号の入力端子17も設けられており、この入力端子17に接続された入力端子18が前記回路15、16の各々の制御端子に接続されている。しかし、前述したシフトレジスタ装置1とは相違して、前記入力配線18の前記フリップフロップ回路15に連通する位置には、動作遅延手段であり信号遅延手段である遅延回路19が設けられている。

【0027】上述のような構成において、本実施の形態のシフトレジスタ装置11でも、クロック信号に対応してデータ保持回路14のフリップフロップ回路15が出力するビットデータをラッチ回路16が保持し、この保持されたビットデータを後段のデータ保持回路14のフリップフロップ回路15が入力する。

【0028】ただし、本実施の形態のシフトレジスタ装置11の駆動方法では、図2に示すように、データ保持回路14のフリップフロップ回路15を動作させるクロ

ック信号を、遅延回路19によりラッチ回路16を動作させるクロック信号より遅延させる。

【0029】このため、データ保持回路14では、ラッチ回路16がビットデータを保持できる状態となつてからフリップフロップ回路15がビットデータを出力するので、フリップフロップ回路15が出力するビットデータはラッチ回路16で確実に保持される。従つて、前段のデータ保持回路14のフリップフロップ回路15の出力タイミングより後段のデータ保持回路14のフリップフロップ回路15の入力タイミングが遅滞しても、後段のフリップフロップ回路15には前段のラッチ回路16で保持されたビットデータを入力することができる。

【0030】つまり、本実施の形態のシフトレジスタ装置11では、クロック信号にスキューが発生してもデータ保持装置4の内部でラッチ回路16の入力動作がフリップフロップ回路15の出力動作より遅滞しないので、前段のフリップフロップ回路15が入力するビットデータを後段のフリップフロップ回路15まで入力するレーシングを確実に防止することができる。

【0031】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態では動作遅延手段および信号遅延手段として入力配線18のフリップフロップ回路15に連通する部分に遅延回路19を設けることを例示したが、図3に示すように、シフトレジスタ装置21のクロック信号の入力配線22を、フリップフロップ回路15まで連通する部分がラッチ回路16まで連通する部分より長い形状に形成し、この入力配線22を動作遅延手段および信号遅延手段として機能させることも可能である。

【0032】なお、遅延回路19を使用したシフトレジスタ装置11の方が動作は確実であり、入力配線22を工夫したシフトレジスタ装置22の方が構造は簡単なので、これらのシフトレジスタ装置11、22は相互に一長一短があることになり、実際には要求性能や生産設備などの各種条件を考慮して選択することが好ましい。

【0033】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0034】請求項1記載の発明のシフトレジスタ装置は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路での前記フリップフロップ回路の動作タイミングを前記ラッチ回路の動作タイミングより遅延させる動作遅延手段を具備していることにより、クロック信号にスキューが発生してもデータ保持装置でのラッチ回路の動作タイミングが

フリップフロップ回路の動作タイミングより遅滞しないので、フリップフロップ回路が出力するビットデータをラッチ回路が確実に保持することができ、前段のフリップフロップ回路が入力するビットデータが後段のフリップフロップ回路まで入力されるレーシングを確実に防止することができる。

【0035】請求項2記載の発明のシフトレジスタ装置は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路の前記フリップフロップ回路を動作させるクロック信号を前記ラッチ回路を動作させるクロック信号より遅延させる信号遅延手段を具備していることにより、クロック信号にスキューが発生してもデータ保持装置でのラッチ回路の動作タイミングがフリップフロップ回路の動作タイミングより遅滞しないので、フリップフロップ回路が出力するビットデータをラッチ回路が確実に保持することができ、前段のフリップフロップ回路が入力するビットデータが後段のフリップフロップ回路まで入力されるレーシングを確実に防止することができる。

【0036】請求項3記載の発明のシフトレジスタ装置は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号の入力配線が前記フリップフロップ回路と前記ラッチ回路とに接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記入力配線の前記フリップフロップ回路に連通する位置にクロック信号を遅延させる遅延回路が設けられていることにより、クロック信号にスキューが発生してもデータ保持装置でのラッチ回路の動作タイミングがフリップフロップ回路の動作タイミングより遅滞しないので、フリップフロップ回路が出力するビットデータをラッチ回路が確実に保持することができ、前段のフリップフロップ回路が入力するビットデータが後段のフリップフロップ回路まで入力されるレーシングを確実に防止することができる。

【0037】請求項4記載の発明のシフトレジスタ装置は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号の入力配線が前記フリップフロップ回路と前記ラッチ回路とに接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記入力配線は、前記フリップフロップ回路ま

で連通する部分が前記ラッチ回路まで連通する部分より長い形状に形成されていることにより、クロック信号にスキューが発生してもデータ保持装置でのラッチ回路の動作タイミングがフリップフロップ回路の動作タイミングより遅滞しないので、フリップフロップ回路が出力するビットデータをラッチ回路が確実に保持することができ、前段のフリップフロップ回路が入力するビットデータが後段のフリップフロップ回路まで入力されるレーシングを確実に防止することができる。

【0038】請求項5記載の発明のシフトレジスタ装置の駆動方法は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路の前記フリップフロップ回路の動作タイミングを前記ラッチ回路の動作タイミングより遅延させるようにしたことにより、クロック信号にスキューが発生してもデータ保持装置でのラッチ回路の動作タイミングがフリップフロップ回路の動作タイミングより遅滞しないので、フリップフロップ回路が出力するビットデータをラッチ回路が確実に保持することができ、前段のフリップフロップ回路が入力するビットデータが後段のフリップフロップ回路まで入力されるレーシングを確実に防止することができる。

【0039】請求項6記載の発明のシフトレジスタ装置の駆動方法は、フリップフロップ回路とラッチ回路とが直列に接続されたデータ保持回路を具備し、複数のデータ保持回路が直列に接続されており、クロック信号に対応した前記フリップフロップ回路と前記ラッチ回路との動作が奇数段と偶数段との前記データ保持回路で逆論理であるシフトレジスタ装置において、前記データ保持回路の前記フリップフロップ回路を動作させるクロック信号を前記ラッチ回路を動作させるクロック信号より遅延させるようにしたことにより、クロック信号にスキューが発生してもデータ保持装置でのラッチ回路の動作タイミングがフリップフロップ回路の動作タイミングより遅滞しないので、フリップフロップ回路が出力するビット

データをラッチ回路が確実に保持することができ、前段のフリップフロップ回路が入力するビットデータが後段のフリップフロップ回路まで入力されるレーシングを確実に防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態のシフトレジスタ装置を示すブロック図である。

【図2】シフトレジスタ装置の各部の動作タイミングの関係を示すタイムチャートである。

【図3】一変形例のシフトレジスタ装置を示すブロック図である。

【図4】一従来例のシフトレジスタ装置を示すブロック図である。

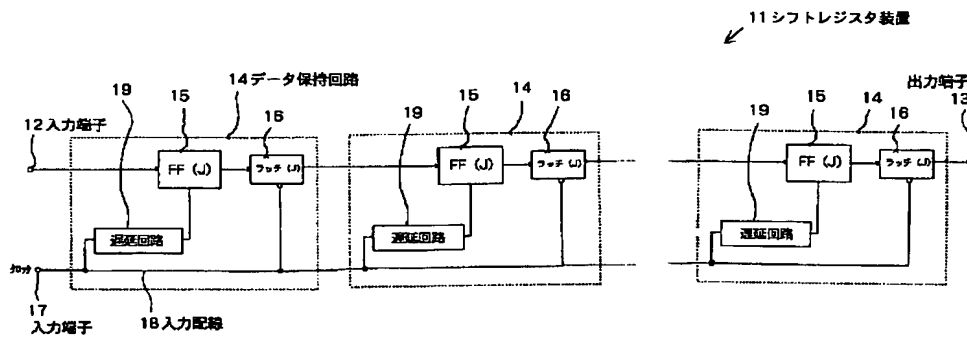
【図5】シフトレジスタ装置が正常に動作した状態を示すタイムチャートである。

【図6】シフトレジスタ装置にレーシングが発生した状態を示すタイムチャートである。

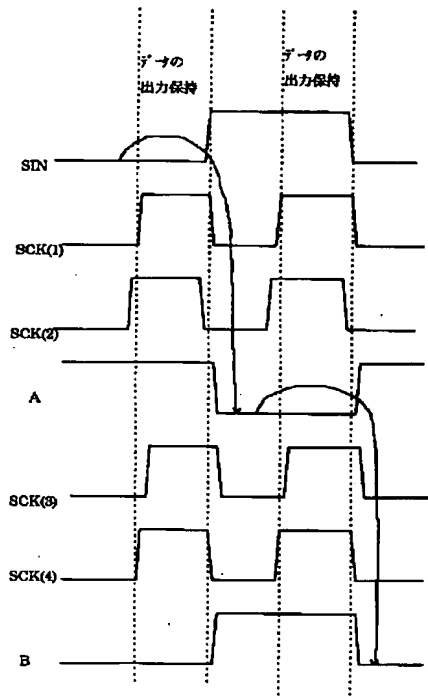
【符号の説明】

- | | |
|----|------------------------|
| 1 | シフトレジスタ装置 |
| 2 | 入力端子 |
| 3 | 出力端子 |
| 4 | データ保持回路 |
| 5 | フリップフロップ回路 |
| 6 | ラッチ回路 |
| 7 | 入力端子 |
| 8 | 入力配線 |
| 11 | シフトレジスタ装置 |
| 12 | 入力端子 |
| 13 | 出力端子 |
| 14 | データ保持回路 |
| 15 | フリップフロップ回路 |
| 16 | ラッチ回路 |
| 17 | 入力端子 |
| 18 | 入力配線 |
| 19 | 動作遅延手段であり信号遅延手段である遅延回路 |
| 21 | シフトレジスタ装置 |
| 22 | 動作遅延手段であり信号遅延手段である入力配線 |

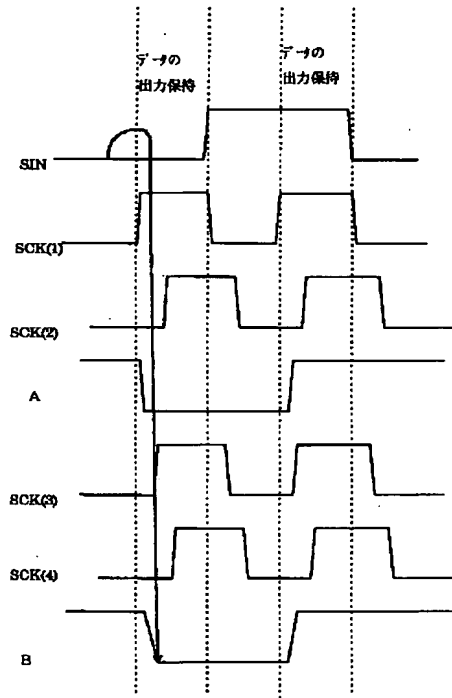
【図1】



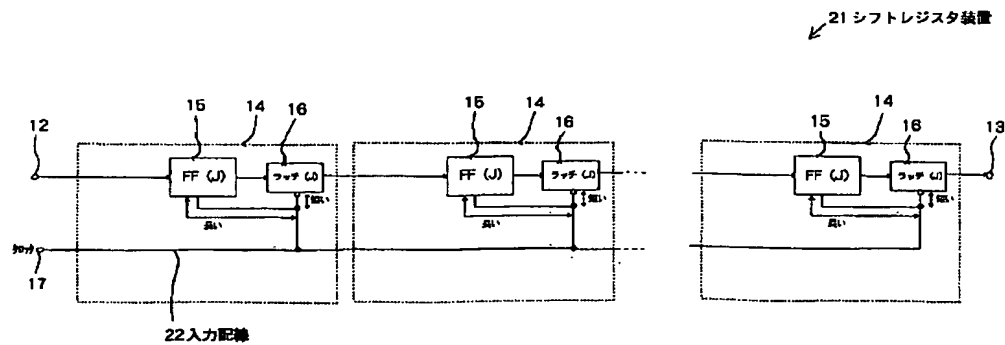
【図2】



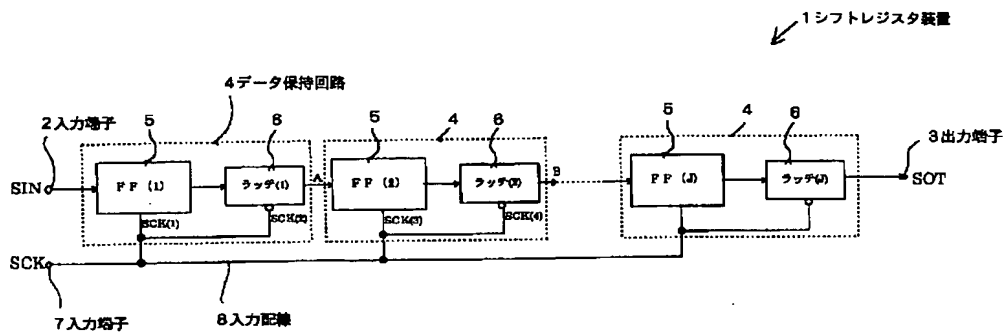
【図6】



【図3】



【図4】



【図5】

